

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-312318

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

G05F 1/10  
B60R 16/02  
B60T 8/00  
B60T 8/88  
G06F 11/00

(21)Application number : 2000-130802

(22)Date of filing : 28.04.2000

(71)Applicant : DENSO CORP

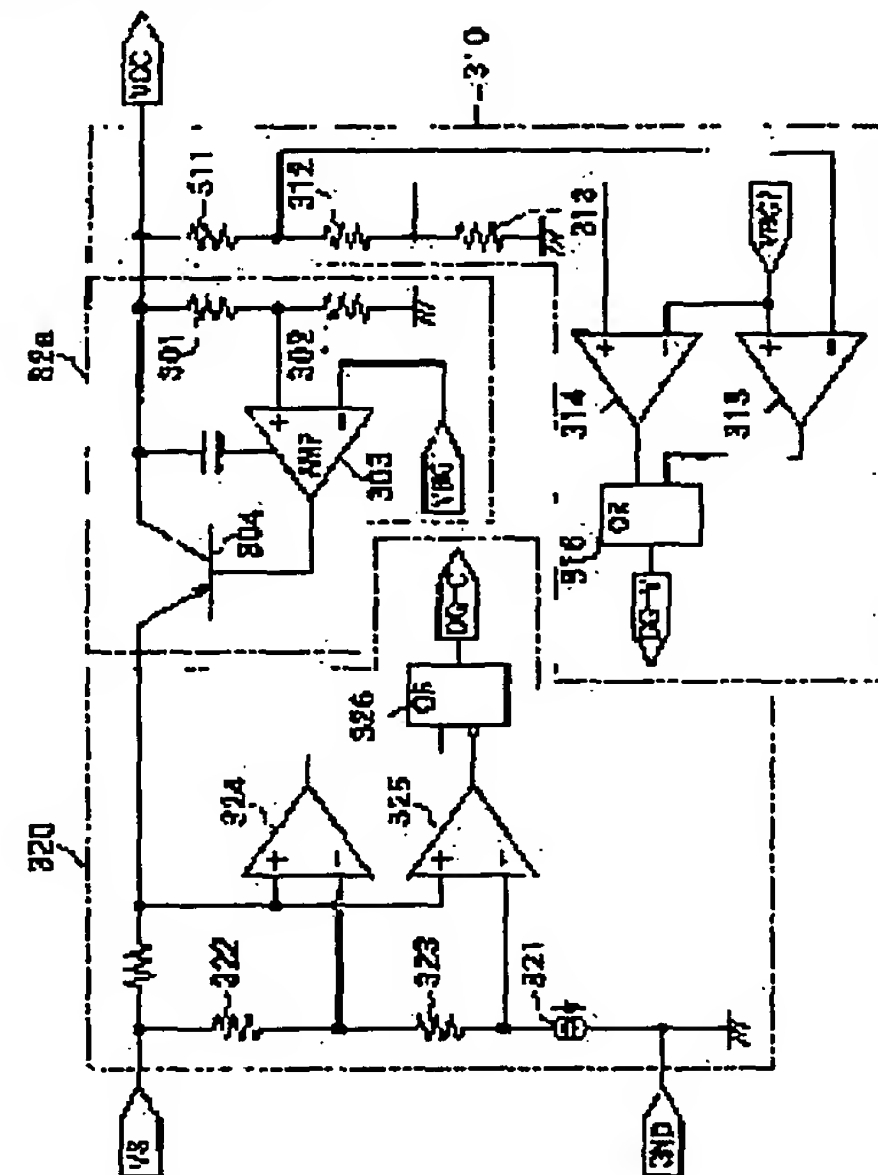
(72)Inventor : KABUNE HIDEKI  
KUMABE HAJIME

## (54) ELECTRONIC CONTROL UNIT PROVIDED WITH PLURAL POWER SOURCE CIRCUITS

(57)Abstract:

**PROBLEM TO BE SOLVED:** To guarantee the operation of a microcomputer in a circuit using a one-chip microcomputer for forming power sources of plural kinds.

**SOLUTION:** In two power source circuits, each of power source output circuits 82a forming respective power sources is provided with a voltage abnormality detecting circuit 310 for detecting whether the output voltage of the power source output circuit 82a is within a prescribed range or not and a current abnormality detecting circuit 320 for detecting that a current flowing to the power source output circuit 82a becomes an over current or low current.



## LEGAL STATUS

[Date of request for examination]

03.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-312318  
(P2001-312318A)

(43)公開日 平成13年11月9日(2001.11.9)

(51)Int.Cl. <sup>7</sup>	識別記号	FI	テマコード*(参考)
G 0 5 F 1/10	3 0 4	G 0 5 F 1/10	3 0 4 H 3 D 0 4 6
B 6 0 R 16/02	6 7 0	B 6 0 R 16/02	6 7 0 A 5 H 4 1 0
B 6 0 T 8/00		B 6 0 T 8/00	B
8/88		8/88	
G 0 6 F 11/00	3 5 0	G 0 6 F 11/00	3 5 0 L
審査請求 未請求 請求項の数6 OL (全 15 頁)			

(21)出願番号 特願2000-130802(P2000-130802)

(22)出願日 平成12年4月28日(2000.4.28)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 株根 秀樹

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72)発明者 隈部 肇

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74)代理人 100100022

弁理士 伊藤 洋二 (外2名)

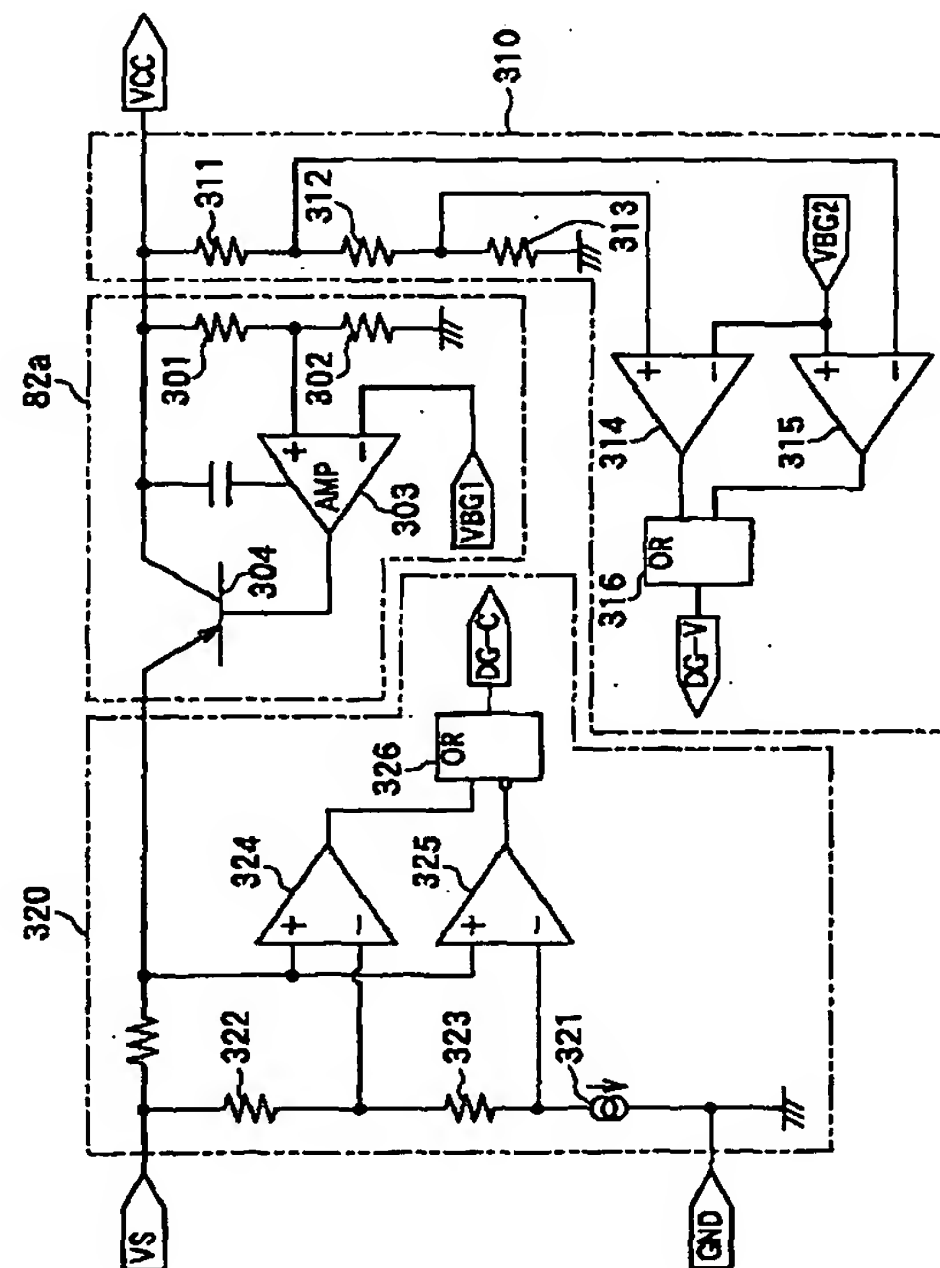
最終頁に続く

(54)【発明の名称】 複数電源回路を備えた電子制御装置

(57)【要約】

【課題】 複数種の電源を形成するワンチップマイクロコンピュータを使用した回路において、マイクロコンピュータの動作保証が行えるようにする。

【解決手段】 2電源回路において、各電源を形成する電源出力回路82aのそれぞれに、電源出力回路82aの出力電圧が所定範囲にあるかを検出する電圧異常検出回路310を設けると共に、電源出力回路82aに流れる電流が過電流になっていたり、低電流になっていたりすることを検出する電流異常検出回路320を備える。



## 【特許請求の範囲】

【請求項1】 複数の異なる電位の複数電源を形成する複数電源回路(82)を備え、  
前記複数電源のいずれかをマイクロコンピュータ(60)の電源として用いており、  
前記複数電源がそれぞれ規定された範囲の電位になっているか否かを検出し、いずれか1つでも前記規定された範囲の電位になっていないことが検出されると、前記マイクロコンピュータをリセット状態にすることを特徴とする電子制御装置。

【請求項2】 第1の電位( $V_{cc1}$ )を出力する第1電源出力回路(82a)と、前記第1の電位よりも低電圧となる第2の電位( $V_{cc2}$ )を出力する第2電源出力回路(82b)とを備え、前記第1電源出力回路が出力する第1の電位をマイクロコンピュータ(60)のペリフェラル回路部及びアナログデジタル変換回路部に印加し、前記第2電源出力回路が出力する第2の電位を前記マイクロコンピュータのリセット制御部、発振回路部及びCPU部に印加するように構成した電子制御装置において、  
前記第1の電位が規定された電位よりも低電圧であることを検出する第1電圧異常検出回路(310)と、  
前記第2の電位が規定された電位よりも低電圧であることを検出する第2電圧異常検出回路とを備え、  
前記第1電圧異常検出回路と前記第2電圧異常検出回路のいずれかで低電圧であることが検出されると、前記マイクロコンピュータをリセット状態にすることを特徴とする電子制御装置。

【請求項3】 前記第1電源出力回路に流れる電流が規定された範囲外であることを検出する第1電流異常検出部(320)と、  
前記第2電源出力回路に流れる電流が規定された範囲外であることを検出する第2電流異常検出部とを備え、  
前記第1電流異常検出回路と前記第2電流異常検出回路のいずれかで第1電源出力回路若しくは第2電源出力回路に流れる電流が規定された範囲外であることが検出されると、前記マイクロコンピュータをリセット状態にすることを特徴とする請求項2に記載の電子制御装置。

【請求項4】 複数の異なる電位の電源を形成する複数電源回路(82)を備え、  
前記複数の電源のいずれかをマイクロコンピュータ(60)の電源として用いており、  
前記複数の電源のうち前記マイクロコンピュータ内のリセット制御部の電源が、他の電源よりも先に立ち上がるように構成されていることを特徴とする電子制御装置。

【請求項5】 前記マイクロコンピュータ内のリセット制御部の電源が、他の電源よりも後に立ち下がることを特徴とする請求項4に記載の電子制御装置。

【請求項6】 複数の異なる電位の複数電源を形成する複数電源回路(82)と、

前記複数電源の立ち下げ時に、前記複数電源がそれぞれ規定された電位になったことを検出する手段(501、505)を有し、

前記複数電源のいずれかをマイクロコンピュータ(60)の電源として用いており、

前記複数電源のいずれか1つでも前記規定された電位になったことが検出されると、前記マイクロコンピュータをリセット状態にすることを特徴とする電子制御装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の電源種類を形成する複数電源回路を備えた電子制御装置に関する。

【0002】

【従来の技術】近年、ICの集積化、高速化が急速に進み、それに伴い電源電圧が低電圧化している。しかしながら、自動車などのノイズ環境が厳しい製品はノイズマージンの面からペリフェラル回路部が低電圧化できない。

【0003】このため、ペリフェラル回路部は高電圧、CPU部等は図12に示すように低電圧となるような、集積化とノイズマージンの両立化させた2電源回路を使用することが多くなっている。

【0004】また、発振回路等の放射電磁波ノイズ低減化、A/Dコンバータ回路等の高精度化が必要な回路部についても個別に電源ラインを設けることが多くなっている。

【0005】このような複数の電源ラインを有するワンチップマイクロコンピュータを使用する場合、電源ライン異常時にマイクロコンピュータの動作保証が行えなくなったり、電源立ち上げ時や電源立ち下げ時にマイクロコンピュータの動作が不定となったりするという問題がある。

【0006】図10に、従来使用されている2電源回路の回路構成を示し、上記問題について説明する。

【0007】まず、電源ライン異常時におけるマイクロコンピュータの動作保証に関する問題について説明する。

【0008】図10に示す2電源回路においては、入力端子601を介して入力される外部からの入力電圧VSに基づき、2つの電源出力回路600a、600bによって高電圧電源と低電圧電源の2種類の電源を形成している。具体的には、2電源回路は、高電圧側の出力端子602から電位 $V_{o1}$ (例えば5V)を出力すると共に、低電圧側の出力端子603である電位 $V_{o2}$ (例えば3.3V)を出力するように構成されている。

【0009】高電圧側の電源出力回路600aにおいては、抵抗604～606によって抵抗分割された電位と定電圧回路607が形成する基準電位とに基づいてアンプ608の出力を調整し、PNPトランジスタ609に流れる電流を制御することで出力端子602の電位が電

位V<sub>o1</sub>となるようにしている。

【0010】また、低電圧側の電源出力回路600bにおいては、抵抗610、611によって抵抗分割された電位と定電圧回路607が形成する基準電位とに基づいてアンプ612の出力を調整し、PNPトランジスタ613に流れる電流を制御することで出力端子603の電位が電位V<sub>o2</sub>となるようにしている。

【0011】そして、これらのうち高電圧側の出力端子602をペリフェラル回路部の電源端子として用い、低電圧側の出力端子603をマイクロコンピュータの電源端子として用いているようにしてる。

【0012】このような回路構成において、出力電圧が低電圧異常である場合や高電圧異常である場合を監視したり、第1、第2電源出力回路600a、600bでの過電流の発生を監視したりしている。

【0013】例えば、低電圧異常については、出力端子602に印加される電圧を抵抗604～606によって抵抗分割した電位と定電圧回路607が形成する参照電圧とをコンパレータ614で比較することによって監視している。すなわち、抵抗分割した電位が参照電圧よりも小さくなると、コンパレータ614からHiレベルが出力され、NPNトランジスタ615がオンになってコンパレータ616からHiレベルが出力されると共に、NPNトランジスタ617がオンになってリセット端子618の電位がLowレベルになる。このLowレベル出力をリセット信号として、低電圧異常が検出される。

【0014】また、高電圧異常については、各出力端子602、603に対して電位固定用のツェナーダイオード619、620を接続することで、出力端子602、603の電圧が高電圧にならないようにしている。

【0015】さらに、過電流については、各出力端子602、603に接続されるラインに抵抗621、622を配置すると共に、これらの抵抗621、622に対して電流リミット回路623、624を並列接続することで、電流リミット回路623、624によって検出できるようにしている。

【0016】しかしながら、図10に示す従来の2電源回路では、高電圧側となる第1電源出力回路600aについてのみ低電圧検出を行っており、低電圧側となる第2電源出力回路600bについては低電圧検出を行っていない。このため、低電圧側の出力端子603の電位がマイクロコンピュータの動作保証電位以上になっているか否か検出することができず、マイクロコンピュータの動作が保証できなくなるのである。

【0017】次に、図10に示す2電源回路の電源の立ち上げ時及び立ち下げ時におけるマイクロコンピュータの不定状態に関する問題について説明する。図11に、電源の立ち上げ時及び立ち下げ時における各部の電圧波形を示す。

【0018】従来の2電源回路においては、すべての電

源を同時に立ち上げるようにしている。そして、出力端子602の電位がリセットレベルを超えると、マイクロコンピュータのウォームアップ時間を待ってマイクロコンピュータのリセット状態を解除し、出力端子602の電位がリセットレベルを下回るとリセット状態としている。

【0019】このようにすべての電源が同時に立ち上げられる場合、図10に示す外部平滑コンデンサC<sub>o1</sub>、C<sub>o2</sub>消費電流及びカレットリミッタ値の影響等との兼ね合いで、必ずしもマイクロコンピュータ内部リセット制御回路の電源となる低電圧側の電源が高電圧側より先に立ち上がらない。通常の場合には、図11に示すように、電源電圧V<sub>S</sub>の印加に伴って高電圧側となる第1電源出力回路600aの電源が立ち上がったあと、低電圧側となる第2電源出力回路600bの電源が立ち上がることになる。

【0020】また、電源立ち下げ時においても同様であり、必ずしも第2電源出力回路600bの電源が第1電源出力回路600aより後に立ち下がらない場合がある。

【0021】これらのような場合、マイクロコンピュータ内部のリセット状態が不定となり、マイクロコンピュータが暴走したり若しくはI/O出力が不定となり、電子制御装置内の回路が誤作動する可能性がある。

【0022】従って、このようなワンチップマイクロコンピュータをABS（アンチスキッドブレーキシステム）に使用すると、ブレーキ機能の低下を招く可能性がある。

【0023】

【発明が解決しようとする課題】本発明は上記点に鑑みて成され、複数種の電源を形成するワンチップマイクロコンピュータを使用した回路において、マイクロコンピュータの動作保証が行えるようにすることを目的とする。

【0024】また、電源立ち上げ時や電源ライン異常時においても動作が確実に安全側となる回路構成を提供することも目的とする。

【0025】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、複数の異なる電位の複数電源を形成する複数電源回路（82）を備え、複数電源のいずれかをマイクロコンピュータ（60）の電源として用いており、複数電源がそれぞれ規定された範囲の電位になっているか否かを検出し、いずれか1つでも規定された範囲の電位になっていないことが検出されると、マイクロコンピュータをリセット状態にすることを特徴としている。

【0026】このように、複数電源のいずれか1つでも規定された範囲の電位になっていないことが検出されるとマイクロコンピュータがリセット状態にされるように



することで、電源ライン異常時においても動作が確実に安全側となるようにすることができる。

【0027】請求項2に記載の発明では、第1の電位(Vcc1)を出力する第1電源出力回路(82a)と、第1の電位よりも低電圧となる第2の電位(Vcc2)を出力する第2電源出力回路(82b)とを備え、第1電源出力回路が出力する第1の電位をマイクロコンピュータ(60)のペリフェラル回路部及びアナログデジタル変換回路部に印加し、第2電源出力回路が出力する第2の電位を前記マイクロコンピュータのリセット制御部、発振回路部及びCPU部に印加するように構成した電子制御装置において、第1の電位が規定された電位よりも低電圧であることを検出する第1電圧異常検出回路(310)と、第2の電位が規定された電位よりも低電圧であることを検出する第2電圧異常検出回路とを備え、第1電圧異常検出回路と第2電圧異常検出回路のいずれかで低電圧であることが検出されると、マイクロコンピュータをリセット状態にすることを特徴としている。

【0028】このように、第1電圧異常検出回路と第2電圧異常検出回路のいずれかで低電圧であることが検出されると、マイクロコンピュータをリセット状態にすることにより、マイクロコンピュータの動作保証を行うことができる。

【0029】請求項3に記載の発明においては、第1電源出力回路に流れる電流が規定された範囲外であることを検出する第1電流異常検出部(320)と、第2電源出力回路に流れる電流が規定された範囲外であることを検出する第2電流異常検出部とを備え、第1電流異常検出回路と第2電流異常検出回路のいずれかで第1電源出力回路若しくは第2電源出力回路に流れる電流が規定された範囲外であることが検出されると、マイクロコンピュータをリセット状態にすることを特徴としている。

【0030】これにより、第1、第2電源出力回路における過電流異常、低電流異常を検出することが可能となる。そして、低電流異常の検出が行えるため、マイクロコンピュータに接続される電源ラインの断線や接続がOPEN状態になっていることの検出も行うことができる。

【0031】請求項4に記載の発明においては、複数の異なる電位の電源を形成する複数電源回路(82)を備え、複数の電源のいずれかをマイクロコンピュータ(60)の電源として用いており、複数の電源のうちマイクロコンピュータ内のリセット制御部の電源が、他の電源よりも先に立ち上がるように構成されていることを特徴としている。

【0032】このように、マイクロコンピュータ内のリセット制御部の電源が他の電源よりも先に立ちあがるようにすることにより、電源立ち上げ時においてマイクロコンピュータが暴走したり、I/O出力が不定になるこ

とを防止できる。

【0033】請求項5に記載の発明においては、マイクロコンピュータ内のリセット制御部の電源が、他の電源よりも後に立ち下がることを特徴としている。

【0034】このように、マイクロコンピュータの電源が他の電源よりも後に立ち下がるようにすることで、電源立ち下げ時においてマイクロコンピュータが暴走したり、I/O出力が不定になることを防止できる。

【0035】請求項6に記載の発明においては、複数の異なる電位の複数電源を形成する複数電源回路(82)と、複数電源の立ち下げ時に、複数電源がそれぞれ規定された電位になったことを検出する手段(501、505)を有し、複数電源のいずれかをマイクロコンピュータ(60)の電源として用いており、複数電源のいずれか1つでも規定された電位になったことが検出されると、マイクロコンピュータをリセット状態にすることを特徴としている。

【0036】このように、電源の立ち下げ時において複数電源のいずれかでも規定された電位になったことが検出されると、マイクロコンピュータをリセット状態にするようにすれば、電源立ち下げ時においてマイクロコンピュータが暴走したり、I/O出力が不定になることを防止できる。

【0037】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0038】

【発明の実施の形態】(第1実施形態)本実施形態では、集積回路として、ABS(アンチスキッドブレーキシステム)制御用ECUに本発明の一実施形態を適用する場合について説明する。

【0039】まず、図1に、ABS制御用ECUによって制御されるABS制御装置の概略構成図を示し、ABS制御装置の構成について説明する。

【0040】図1に示すように、FR輪1、FL輪2、RR輪3及びRR輪4のそれぞれには、電磁ピックアップ式、磁気抵抗効果素子(MRE)式、若しくはホール素子式の車輪速度センサ5～8が配置されている。これら各車輪速度センサ5～8は各車輪1～4の回転に応じたパルス信号を発生させる。

【0041】また、各車輪1～4のそれぞれには、ホイールシリンダ11～14が配設されている。マスタシリンダ16がブレーキペダル27の踏み込みに応じてブレーキ液圧を発生させると、2位置弁(増圧制御弁)21～24及び油圧管路を介して各ホイールシリンダ11～14に圧送されるようになっている。なお、ブレーキペダル27の踏み込み状態はストップスイッチ29によって検出されるようになっている。

【0042】さらに、ホイールシリンダ11、14は2位置弁(減圧制御弁)31、34を介してリザーバ37

に接続されており、ホイールシリンダ12、13は2位置弁（減圧制御弁）32、33を介してリザーバ39に接続されている。

【0043】なお、2位置弁21～24及び31～34は、連通位置と遮断位置とを有するソレノイド駆動式2位置弁で構成されており、ソレノイドへの通電により連通位置と遮断位置とを切換えられるように構成されている。

【0044】一方、2位置弁21～24の上下流はバイパス管路41～44によって接続されている。これらのバイパス管路41～44には逆止弁41a～44aが備えられ、ホイールシリンダ11～14からマスタシリンダ16へ向かう圧油のみがバイパス管路41～44を介して流通できるようになっている。

【0045】リザーバ37、39は、図示しないモータによって駆動されるポンプ45a、45b及び逆止弁47、49を介した油圧管路で接続されており、リザーバ37、39からマスタシリンダ16へ向かう圧油の流動のみが許容されている。

【0046】車輪速度センサ5～8及びストップスイッチ29の検出信号は、ABS制御用ECU50に入力されている。ABS制御用ECU50は、上記検出信号に基づいて、各2位置弁21～24及び31～34の制御信号やポンプ45a、45bの駆動を行うモータの制御信号等を発生させる。この制御信号に基づいて各2位置弁21～24及び31～34やモータを制御し、ABS制御等を行うようになっている。

【0047】図2に、ABS制御用ECU50の内部構造を表すブロック図を示す。この図に示されるように、ABS制御用ECU50には、マイクロコンピュータ60、周辺IC70、ソレノイド駆動ドライバ90、及び半導体リレー部100等からなる複数のチップが備えられている。

【0048】以下、ABS制御用ECU50の各構成要素の詳細を説明するが、図2中に示した各矢印は、実線で示したものが制御系のライン、破線で示したものが監視系のライン、一点鎖線で示したものが禁止、遮断系のラインを示すものとする。なお、制御系のラインとは、矢印の先端の要素を矢印の後端の要素からの信号に基づいて制御することを意味する。また、監視系のラインとは、矢印の先端の要素が矢印の後端の要素からの信号に基づいて所定の要素が故障等していないか否か監視することを意味する。また、禁止、遮断系のラインとは、矢印の先端の要素が矢印の後端の要素からの禁止、遮断信号に基づいて所定の要素の駆動を禁止、遮断することを意味する。

【0049】まず、マイクロコンピュータ60について説明する。マイクロコンピュータ60は、入力部61、演算部62、出力部63を備えており、入力部61に車輪速度信号等の各種情報が入力されると、この入力された

各種情報に基づいて演算部62がABS制御等に用いられる各種演算を行い、出力部63より演算結果に基づくABS制御信号、すなわちソレノイド駆動やモータ駆動信号を発生させるように構成されている。また、マイクロコンピュータ60にはシリアル通信部64が備えられており、演算部62での演算によって得られた各種信号（例えばABS制御中を示すABS制御信号）が入力されると、これら各種信号をシリアル化し、シリアル信号として周辺IC70に送信している。

【0050】次に、周辺IC70について説明する。周辺IC70には、車輪速度入力バッファ71、スイッチ（以下、SWという）信号入力バッファ72、シリアル通信バッファ73、シリアル通信監視部74、内部発振回路75、ウォッチドック（以下、WDという）監視部76、リセット制御部77、駆動禁止信号発生部78、リレー駆動部79、ランプ駆動回路80、過熱保護回路81、電源監視部82、電源出力回路83、信号入出力バッファ84及び温度監視部85が備えられている。これら各要素が1チップに集積され、周辺IC70が構成されている。

【0051】車輪速度入力バッファ71では、図1に示した車輪速度センサ5～8から送られてくる信号を矩形波に修正する波形整形を行っている。この車輪速度入力バッファ71によって波形整形された車輪速度信号がマイクロコンピュータ60に入力され、マイクロコンピュータ60が車輪速度や推定車体速度等のABS制御に用いる各種演算を行うようになっている。また、車輪速度入力バッファ71では、車輪速度センサ5～8とABS制御用ECUとを接続する配線の断線検出も行っており、断線検出が成されるとシリアル通信バッファ73に断線したことを示す断線信号を送るようになっている。

【0052】SW信号入力バッファ72では、図1に示すストップスイッチ29のオン、オフ信号や、2位置弁21～24、31～34のソレノイドへの通電が行われたか否かが判る信号（例えば、ソレノイドにかかる電圧値）のモニタリングを行っている。これにより、ブレーキペダル27の踏み込みが成されているか否かのオン、オフ信号や、ソレノイドへの通電が行われているか否かのオン、オフ信号が出力されるようになっている。

【0053】シリアル通信バッファ73では、車輪速度入力バッファ71からの断線信号やSW信号入力バッファ72からのオン、オフの信号等をシリアル化し、シリアル信号としてマイクロコンピュータ60への送信を行っている。上述したマイクロコンピュータ60からのシリアル信号は、このシリアル通信バッファ73に送られるようになっている。

【0054】シリアル信号監視部74では、シリアル通信バッファ73からのシリアル信号に基づいてマイクロコンピュータ60の監視を行う。具体的には、車輪速度入力バッファ71及びSW信号入力バッファ72からの信

号等に基づいてマイクロコンピュータ60が演算した結果をシリアル通信バッファ73で受信し、その信号が適正な信号であるか否かの監視を行う。例えば、SW信号入力バッファ72からストップスイッチ29が踏み込まれていないというオフ信号が送られてきているにも関わらず、シリアル通信部64からABS制御中という信号が送られてきた場合には、マイクロコンピュータ60からのシリアル信号が適正ではないと判定するようになっている。そして、マイクロコンピュータ60からのシリアル信号が適正ではない場合には、後述するリセット制御部77にリセット信号を出力する若しくは、駆動禁止信号発生回路78に禁止信号を送るようになっている。

【0055】内部発信部75では、シリアル信号監視部74やWD監視部76等を使用される内部クロックを形成している。この内部発振回路75では、タイミングが異なる複数種のクロック信号を生成しており、シリアル信号監視部74やWD監視部76では、監視用信号として相応しいタイミングのクロック信号を選択して、各監視を行っている。

【0056】WD監視部76では、マイクロコンピュータ60から送られてくる演算周期等のデータに基づいて、マイクロコンピュータ60での演算が適正に成されているか否かの監視を行っている。例えば、演算適正に行われていれば、WD監視信号が交互に反転した信号として得られるため、このWD監視信号が交互に反転した信号となっていなければマイクロコンピュータ60での演算が適正な周期で行われていないと判定するようになっている。そして、マイクロコンピュータ60での演算が適正な周期で行われていない場合には、後述するリセット制御部77にリセット信号を出力する若しくは、駆動禁止信号発生回路78に禁止信号を送るようになっている。

【0057】リセット制御部77では、初期化の際、若しくはシリアル信号監視部74やWD監視部76、及び後述する電源監視部83からのリセット信号が入力されると、マイクロコンピュータ60にリセット信号を送るようになっている。このリセット信号を受け取ると、マイクロコンピュータ60は、マイクロコンピュータ60内の各値を予め規定されたりセット状態のモードにする。例えば、マイクロコンピュータ60での演算等をすべてストップさせる。また、このリセット信号は、シリアル通信バッファ73やシリアル信号監視部74にも送られるようになっており、このリセット信号に基づいて初期化等が行われる。

【0058】駆動禁止信号発生部78では、シリアル信号監視部74、WD監視部76、後述する過熱保護回路81及び電源監視部83からの禁止信号に基づき、リレー駆動部79にソレノイド駆動禁止信号やモータ駆動禁止信号を送ると共に、マイクロコンピュータ60を介さずに直接ソレノイド駆動ドライバ90に駆動禁止信号を

送る。このため、駆動禁止信号発生部78からソレノイド駆動禁止信号が送られると、マイクロコンピュータ60が作動していてもソレノイド駆動が禁止される。

【0059】リレー駆動部79では、マイクロコンピュータ60からのソレノイド駆動信号やモータ駆動信号に基づき、半導体リレー部100のスイッチングを制御し、ソレノイドやポンプ45a、45bの駆動を行うモータへの通電を制御する。そして、駆動禁止信号発生部78や後述するソレノイド駆動ドライバ90の出力監視部92からのソレノイド駆動禁止信号やモータ駆動禁止信号が入力されると、リレー駆動部79は半導体リレー部100によってソレノイドへの通電やモータへの通電をストップさせるようになっている。

【0060】ランプ駆動部80では、通常時にはマイクロコンピュータ60からのABS制御中信号に基づいてABS制御の作動状態を出力しているが、リセット制御部77からのリセット信号、若しくは駆動禁止信号発生部78からのソレノイド駆動禁止信号やモータ駆動禁止信号が入力されると、ABS制御が非作動となることを出力する。このランプ駆動部80からの信号を受けて、図示しないランプが点灯し、ABS制御の作動状態が確認できる。

【0061】過熱保護回路部81では、周辺回路70を構成するチップが異常な温度になることを防止すべく、チップが所定温度に達したことを検出し、チップが所定温度以上になると駆動禁止信号発生部78に禁止信号を発生させると共に、それ以上の温度上昇を防止するために、マイクロコンピュータ60への電圧供給を止めるようになっている。

【0062】電源出力回路82は、被監視ブロックに相当し、集積回路50外に配置された外部電源との接続が成される電源端子(第1の電源端子)101及び接地端子(第1の接地端子)103に接続されている。この電源出力回路82では、電源端子101に印加される電圧に基づいて、所望の値(例えば、5V、3.3V)の電圧を出力するようになっている。この電源出力回路82の出力電圧が、マイクロコンピュータ60、周辺IC70、ソレノイド駆動ドライバ90等の電源電圧として用いられる。なお、この電源出力回路82の詳細については後述する。

【0063】電源監視部83は、監視ブロックに相当し、電源出力回路82が接続される電源端子101とは別の電源端子(第2の電源端子)105及び接地端子(第2の電源端子)107に接続されている。電源監視部83では、電源出力回路82の出力電圧が所望の値になっているか否かの監視を行うと共に、電源出力回路82に印加される電圧が過電圧になっていないか否かの監視を行う。例えば、電源出力回路82の出力電圧が所望の値に満たない場合にはリセット制御部77にリセット信号が送られ、所望の値よりも高い場合には駆動禁止信



号発生部78に禁止信号が送られるようになっている。  
また、電源出力回路82に印加される電圧が過電圧である場合には、駆動禁止信号発生部78に禁止信号を出力すると共に、異常過熱を防止するため、マイクロコンピュータ60への電圧供給を止めるようになっている。なお、この電源監視部83についての詳細は後述する。

【0064】信号入出力バッファ84は、車が故障した時のダイアグを調査するための端子84aに接続されており、テスターを端子84aに接続することでマイクロコンピュータ60との通信が行えるようになっている。また、この信号入出力バッファ84は、単なる出力バッファ、例えば車両用スピードメータの車速を表示するための信号（例えば、車輪速から演算された推定車体速度に相当する信号）を出力させるバッファに使用することができる。

【0065】温度監視部85では、常時、集積回路50の温度検出を行っている。温度監視部85は、集積回路50の温度に応じた信号を温度検出信号としてマイクロコンピュータ60に送るようになっている。この温度検出信号に基づいてマイクロコンピュータ60では、検出された温度に応じたABS制御の演算を行うようになっている。

【0066】続いて、ソレノイド駆動ドライバ90について説明する。ソレノイド駆動ドライバ90は、ソレノイドに接続されたMOSトランジスタ91と、ソレノイド（MOSトランジスタ91）への通電状態を監視する出力監視部92と、MOSトランジスタ91のオン、オフ駆動を行うアンド回路93とを備えている。

【0067】MOSトランジスタ91は、図1に示す各種制御弁21～24、31～34のそれぞれのソレノイドに接続されており、このMOSトランジスタ91によってソレノイドへの通電のスイッチングが成される。

【0068】出力監視部92は、各ソレノイド1つ1つに備えられ、各ソレノイドへのドライバ出力の監視を行っている。例えば、MOSトランジスタ91のドレイン電圧やドレイン電流に基づいてソレノイドへの通電状態の監視を行う。これにより、例えば、ドレイン電流が過電流になっていないか、ソレノイドへの通電用配線がオープンになっていないか若しくはリークしていないか、MOSトランジスタ91が高温になり過ぎていないか等を検出する。これにより、ソレノイド駆動に適していない結果が得られた場合には、出力監視部92はリレー駆動部79にソレノイド駆動禁止信号やモータ駆動禁止信号を送ると共に、アンド回路93にもソレノイド駆動禁止信号を送るようになっている。

【0069】アンド回路93には、マイクロコンピュータ60の出力信号、リレー駆動部79からの出力信号、駆動禁止信号発生部78からの出力信号、出力監視部92からの出力信号が入力される。本実施形態の場合、リレー駆動部79からの出力信号、駆動禁止信号発生部7

8からの出力信号、出力監視部92からの出力信号は、通常時にはLowレベルとなっているが、何らかの故障が合った時にHiレベルとなり、アンド回路93の出力がLowレベル、つまりMOSトランジスタ91をオフするようになっている。

【0070】このため、ソレノイド駆動ドライバ90は、マイクロコンピュータ60や周辺IC70からの信号に基づいてソレノイドへの通電を遮断できるだけでなく、ソレノイド駆動ドライバ90自身に備えられた出力監視部92からの信号に基づいてソレノイドへの通電を遮断できるようになっている。

【0071】半導体リレー部100においては、半導体リレー100aでは、ソレノイドへの通電のスイッチングを行っており、半導体リレー100bでは、ポンプ45a、45bの駆動を行うモータへの通電のスイッチングを行っている。これら各半導体リレー100a、100bは、リレー駆動部79からの信号に基づいて制御され、通常時にはソレノイドやモータへの通電が可能となるように構成され、リレー駆動部79からソレノイド駆動禁止信号やモータ駆動禁止信号を受けると、ソレノイドやモータへの通電が行えなくなるように構成されている。

【0072】続いて、電源出力回路82の詳細について説明する。図2に示す電源出力回路82の詳細を表すブロック図を図3に示す。

【0073】この図に示されるように、電源出力回路82は、電源出力Vcc1（例えば5V）を出力する第1電源出力回路82aと、電源出力Vcc1よりも低電圧となる電源出力Vcc2（例えば3.3V）を出力する第2電源出力回路82bとを備えた2電源回路で構成されている。

【0074】この電源出力回路82と他のブロックとの具体的な回路構成を図4に示す。電源出力回路82及び電源監視部83は、図中の第1、第2電源制御回路部201、202と第1、第2バンドギャップ基準電源回路203、204によって構成されている。

【0075】これらのうちの第1、第2電源制御回路部201、202に電源出力回路82が内蔵されている。図5に、第1電源制御回路部201の具体的な回路構成を示し、これら図4、図5に基づいて電源出力回路82と電源監視部83の詳細について説明する。なお、第2電源制御回路部202の回路構成は素子等の定数が異なる以外は第1電源制御回路部201と同様であるため、ここでは省略する。

【0076】図5に示すように、第1電源制御回路部201内に第1電源出力回路82aが備えられている。この第1電源出力回路82aには、電源端子101を介して外部からの電源電圧VSが印加されるようになっており、この電源電圧VSと電源監視部83に備えられた第1バンドギャップ基準電源回路203が形成する基準電



圧VBG1に基づいて、第1電源制御回路部201が電圧Vcc1を出力するようになっている。具体的には、抵抗301及び抵抗302の定数を調整することにより、抵抗301及び抵抗302によって抵抗分割された電位と基準電圧VBG1とに基づいてアンプ303の出力を調整し、PNPトランジスタ304に流れる電流を制御することでVcc1端子が所望範囲の電位となるようにしている。

【0077】また、第1電源制御回路部201には、電源監視部83の一部を構成する電圧異常検出回路（第1電圧異常検出回路）310が備えられている。この電圧異常検出回路310により、Vcc1端子の電位と電源監視部83に備えられた第2バンドギャップ基準電源回路83bによって形成される基準電圧VBG2とが比較され、正確に所望範囲の電圧になっているか否かが監視される。すなわち、Vcc1端子の電位が所望の電位よりも高電位となる高電圧異常や、低電位となる低電圧異常の検出が行われる。

【0078】具体的には、抵抗311～313によって抵抗分割された2部位の電位と第2バンドギャップ基準電源回路204が形成する基準電圧VBG2とを2つのコンパレータ314、315によって比較し、Vcc1端子の電位が所望範囲になれば、電圧異常信号としてOR回路316からHiレベル出力がなされるようになっている。このOR回路316の出力が図4に示すDG-V端子の出力に相当する。

【0079】さらに、第1電源制御回路部201には、第1電源出力回路82aに流れる電流が所望範囲の電流値にあるか否かを検出する電流異常検出回路（第1電流異常検出回路）320が備えられている。この電流異常検出回路320により、第1電源出力回路82aに流れる電流が所望の電流値より高電流である過電流異常や、低電流である低電流異常の検出が行われる。

【0080】具体的には、定電流源321及び抵抗322、323によって形成された定電位となる2部位の電位と第1電源出力回路82aに接続される電圧供給ラインの電位とを2つのコンパレータ324、325によって比較し、第1電源出力回路82aに過電流が発生すると、電流異常信号としてOR回路326からHiレベルが出力されるようになっている。このOR回路326の出力が図4に示すDG-C端子の出力に相当する。

【0081】なお、上述したように第2電源制御回路部202の回路構成も図5と同様であるが、第1電源制御回路部201の回路構成に対して抵抗301の定数が異なっており、Vcc2端子がVcc1端子よりも低い所望範囲の電位となるようにしている。そして、第2電源制御回路部202の高電圧異常や低電圧異常、さらにな過電流異常や低電流異常が検出できるようになっている。なお、この第2電源制御回路部202に備えられる電圧異常検出回路が第2電圧異常検出回路に相当し、電

流異常検出回路が第2電流異常検出回路に相当する。

【0082】このようにして、図4に示す第1、第2電源制御回路部201、202それぞれのDG-C端子及びDG-V端子からの出力がOR回路205を介してリセット制御部77に入力され、このとき入力される信号fVCUNに基づいてリセット制御部77がリセット信号を出力するように構成されている。

【0083】具体的には、リセット制御部77の論理構成は図6のように表される。なお、この図に示す信号Q6とは図2及び図4に示す内部発振回路75が形成するクロック信号の1つである。

【0084】この図に示されるカウンタ77aは、初期状態においてはカウントが成されていないが、アンド回路77bの出力がHiレベルとなるため、アンド回路77cより信号Q6の立ち上がりタイミングに同期して出力されるHiレベル信号に伴ってカウントされ、最終桁までカウントが成される。このため、アンド回路77bの出力がLowレベルとなり、カウンタ77bは最終桁までカウントされた状態を維持し、リセット信号に相当する信号fRESがLowレベルとなる。

【0085】これに対し、上記した電圧異常検出若しくは電流異常検出が成されると、信号fVCUNがHiレベルになるため、OR回路77dの出力がHiレベルとなりカウンタ77bがリセットされる。このため、アンド回路77bの出力がHiレベルとなり、マイクロコンピュータ60をリセット状態にするリセット信号が送られる。

【0086】なお、信号fRSWDは、図4に示すWD監視部76からの異常検出信号であり、WD監視部76にて異常検出が行われた場合においても上記と同様の作動によりマイクロコンピュータ60をリセット状態にするリセット信号が送られるようになっている。

【0087】以上説明したように、本実施形態においては第1、第2電源出力回路82a、82bが出力する電圧を両方共監視しているため、高電圧側のみでなく低電圧側についても監視することができ、マイクロコンピュータ60の動作を保証することができる。

【0088】また、第1、第2電源出力回路82a、82bの両方において、低電流異常及び過電流異常を検出するようにしているため、マイクロコンピュータ60やABS制御用ECU50内の各回路（ペリフェラル部）の動作を保証することができる。

【0089】さらに、上記した図10に示す従来の回路構成においては、低電流異常を検出する手段が備えられていないため、低電圧側の電源となるVo1端子とマイクロコンピュータとを接続する電源ラインが断線したりOPEN状態になったりしてもそれを検出することができない。これに対し、第2電源出力回路82bにおいて低電流異常が検出できるようにしているため、低電圧側の電源となるVcc2端子とマイクロコンピュータ60

等とを結ぶ電源ラインの断線等についても検出することができる。

【0090】（第2実施形態）本実施形態では、第1実施形態に対して2電源回路における電源の立ち上げ順序を規定する場合について説明する。

【0091】上述したように、2電源回路における電源の立ち上げ時や立ち下げ時において、マイクロコンピュータ60が不定状態になる場合がある。本実施形態では、このようなマイクロコンピュータ60の不定状態を防止するべく、2電源回路における電源の立ち上げ順序を規定するものである。

【0092】図7に、本実施形態における電源出力回路82の具体的な回路構成を示し、図8に、図7中に示す順序コントロール及びリセット制御を行うコントロール部500の具体的な論理構成を示す。また、図9に、電源電圧VS印加時における電源出力回路82の各部での電圧波形を示す。以下、これらの図を参照して本実施形態における電源出力回路82の作動を説明する。

【0093】まず、各電源を立ち上げるために電源出力回路82に対して電源電圧VSを印加すると、図7に示す第2電源出力回路82bに備えられたPNPトランジスタ401がオンする。これにより、抵抗402～404によって抵抗分割された電位と図4に示す第2バンドギャップ基準電源回路204が形成する基準電圧VBG2とに基づいてアンプ405の出力が調整され、Vcc2端子の電位が上昇し、第2電源出力回路82bにおいて電源が立ち上がる。

【0094】一方、Vcc2端子の電源が立ち上がる前には、抵抗402～404によって抵抗分割された電位VM2が参照電圧Vrefよりも小さいため、図8に示すコンパレータ501の出力がLowレベルとなり、インバータ回路502を介してMOSトランジスタ503がオンとなる。

【0095】このため、コントロール部500のIHV1端子を介して電流が流れ、図8に示すPNPトランジスタ405がオンすると共にPNPトランジスタ406がオフし、第1電源出力回路82aにおいては電源が立ち上がらない。

【0096】なお、このとき、コンパレータ501の出力がLowレベルとなるため、インバータ回路504からHiレベルが出力され、θSH端子を介してNPNトランジスタ411がオンになる。このため、コンデンサ412が充電されていたとしてもNPNトランジスタ411を介して電荷が引き抜かれるようになっている。

【0097】続いて、第2電源出力回路82bにおける電源が立ち上がったのち、電位VM2が基準電圧VBG2を超えると、コンパレータ501からHiレベルが出力され、MOSトランジスタ503がオフされる。

【0098】これにより、PNPトランジスタ405がオフすると共にPNPトランジスタ406がオンにな

る。これにより、抵抗407～409によって抵抗分割された電位と図4に示す第1バンドギャップ基準電源回路203が形成する基準電圧VBG1とに基づいてアンプ410の出力が調整され、Vcc1端子の電位が上昇し、第1電源出力回路82aにおいて電源が立ち上がる。

【0099】このように、マイクロコンピュータ60内のリセット制御部の電源となる第2電源出力回路82bにおける電源が立ち上がった後に、その他の電源である第1電源出力回路82aにおける電源が立ち上がるようにすることができる。

【0100】また、各電源が立ち上げられる前においては、VM2端子の電位もVM1端子の電位も基準電圧VBG2、VBG1よりも低電圧となっているため、コンパレータ501及びコンパレータ505の出力はLowレベルとなる。このため、インバータ回路506、507の出力が共にHiレベルとなって、OR回路508の出力がHiレベルとなり、カウンタ509がリセット状態にされ、偶数個備えられたインバータ回路510、511を介してリセット端子からLowレベルが出力される。このリセット端子の出力信号がリセット信号に相当し、リセット端子からLowレベルが出力されると、マイクロコンピュータ60がリセット状態にされる。

【0101】そして、各電源がすべて立ち上がりVcc1端子及びVcc2端子の電位が動作保証電圧を超えると、OR回路508の出力がLowレベルとなり、内部発振回路75が形成するクロック信号CKの立ち上がりパルスに同期してアンド回路からHiレベルが出力され、カウンタ509でのカウントが成される。

【0102】この後、カウンタ509でのカウントが最終桁まで成されると、リセット端子からHiレベルが出力される。つまり、マイクロコンピュータ60等のウォームアップ時間を待ってから、リセット端子からマイクロコンピュータ60のリセット状態を解除する信号が出力される。

【0103】このように、本実施形態における電源出力回路82では、まずマイクロコンピュータ60のリセット制御部の電源を立ち上げ、すべての電源が立ち上がりVcc1端子及びVcc2端子の電位が動作保証レベルの電位を超えてから、マイクロコンピュータ60のリセット状態を解除するようにしているため、マイクロコンピュータ60内部のリセット状態が不定になることはない。これにより、マイクロコンピュータ60等が暴走したり、I/O出力が不定になることを防止でき、ABS制御用ECU50内の回路が誤作動することを防止することができる。

【0104】次に、各電源を立ち下げるために電源出力回路82への電源電圧VSの印加を止めると、第1電源出力回路82aにおける電源、第2電源出力回路82bにおける電源が共に立ち下がり始める。そして、第2電

源出力回路82bにおける電位VM2が回路動作保証レベルの電位を下回ると、図8に示すコンパレータ501の出力がLowレベルとなり、インバータ回路502の出力がHiレベルとなり、MOSトランジスタ503がオンされ、IHV1出力がLowレベルとなり、PNPトランジスタ405のベース電流を流し、PNPトランジスタ405をオンすると共に、PNPトランジスタ406をオフする。また一方、インバータ回路504の出力がHiレベルとなる。これにより、 $\theta$ SH端子を介してNPNトランジスタ411がオンし、コンデンサ412に充電された電荷がNPNトランジスタ411を介して引き抜かれ、第1電源出力回路82aにおける電源が瞬時に立ち下げられる。

【0105】そして、第1電源出力回路82aにおける電位VM1がリセットレベルの電位を下回ると、コンパレータ505の出力がLowレベルとなり、カウンタ509がリセットされ、リセット端子からLowレベルが出力される。これにより、マイクロコンピュータ60がリセット状態にされる。

【0106】一方、第2電源出力回路82bにおける電源はコンデンサ413等の時定数に応じた速度で立ち下がり、少なくとも第1電源出力回路82aにおける電源の立ち下げよりも遅いタイミングで立ち下がる。

【0107】このように、各電源のうちの1つでも動作保証レベルの電圧を下回った際に即座にマイクロコンピュータ60がリセットされるようにしているため、マイクロコンピュータ60が確実にリセット状態にされる。さらに、リセット制御を行うコントロール部500の電源、つまり第2電源出力回路82bの電源が最も遅く立ち下がるようにしているため、マイクロコンピュータ60が暴走したり、I/O出力が不定になることを防止でき、ABS制御用ECU50内の回路が誤作動することを防止することができる。

【0108】（他の実施形態）第1、第2実施形態では、電源出力回路82が2電源回路となる場合について説明したが、2以上の電源を形成する複数電源回路において、本発明を適用することが可能である。

【0109】この場合、複数の電源回路のすべてにおいて高電圧異常、低電圧異常、過電流異常、低電流異常が検出されるようにすれば第1実施形態と同様の効果を得ることができる。

【0110】また、複数電源のうちマイクロコンピュータの電源となるものが他の電源よりも先に立ち上がり、かつ他の電源よりも後に立ち下がるようにすれば、第2実施形態と同様の効果を与えることができる。

【0111】また、図4では示していないが、Vcc1端子及びVcc2端子に対してツェナーダイオードを接続し、Vcc1端子やVcc2端子が所望範囲より高電圧になることを防止することも可能である。

【図面の簡単な説明】

【図1】本発明の第1実施形態におけるABS制御用ECUによって制御されるABS制御装置の概略構成を示す図である。

【図2】ABS制御用ECU50の内部構造を表すブロック図である。

【図3】図2に示す電源出力回路82の詳細を表すブロック図である。

【図4】電源出力回路82と他のブロックとの具体的な回路構成を示す図である。

【図5】第1電源制御回路部201の回路構成を示す図である。

【図6】図4に示すリセット制御部77の論理構成を示す図である。

【図7】従来の2電源回路における各電源の立ち上げ時、及び立ち下げ時のタイミングを説明するための図である。

【図8】本発明の第2実施形態における電源出力回路82の回路構成を示す図である。

【図9】図8に示すコントロール部500の論理構成を示す図である。

【図10】図8に示す電源出力回路82の各電源の立ち上げ時、及び立ち下げ時のタイミングを説明するための図である。

【図11】従来の2電源回路の回路構成を示す図である。

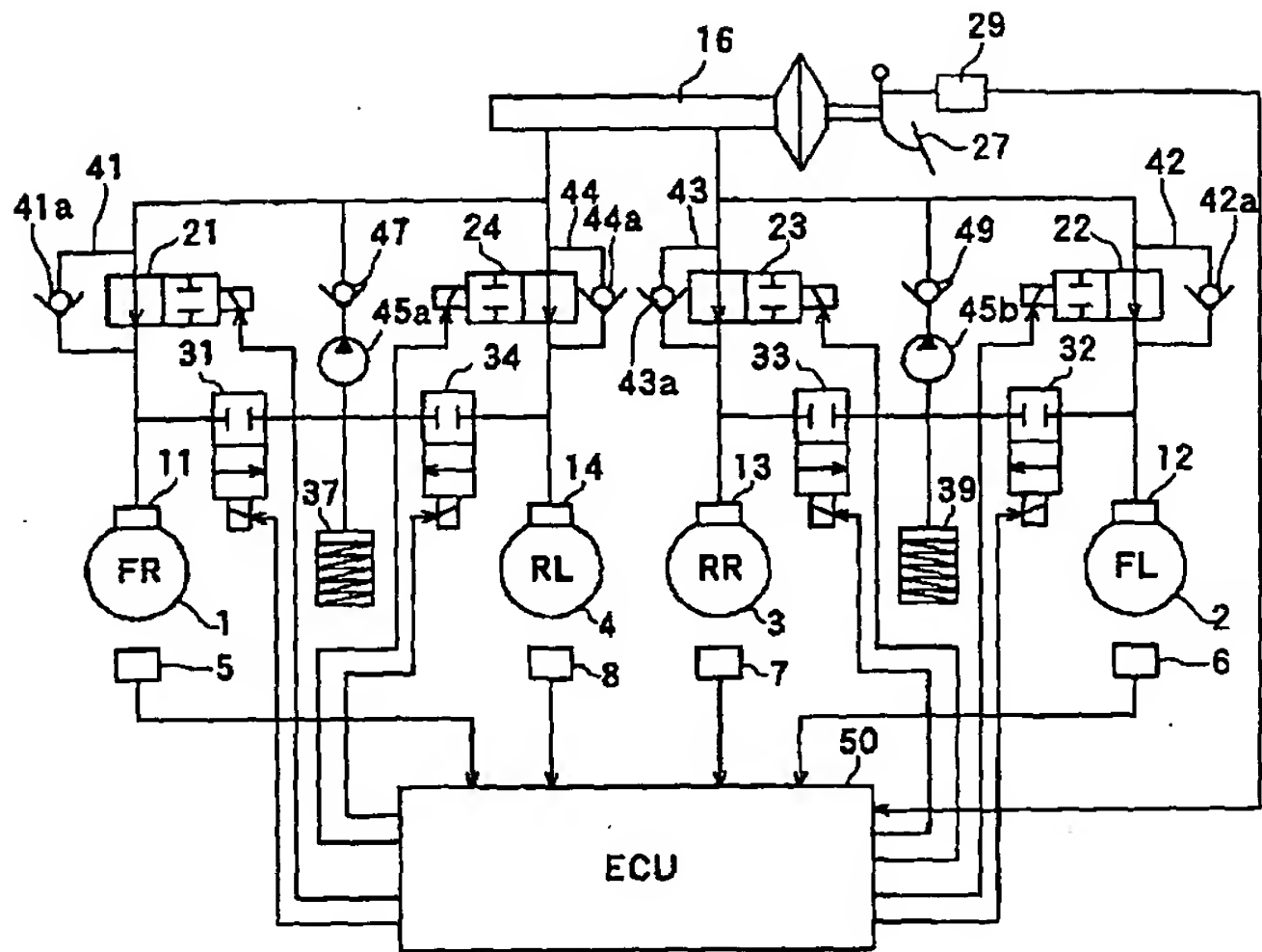
【図12】複数の電源を有するマイクロコンピュータの内部かいる構成を示す図である。

【符号の説明】

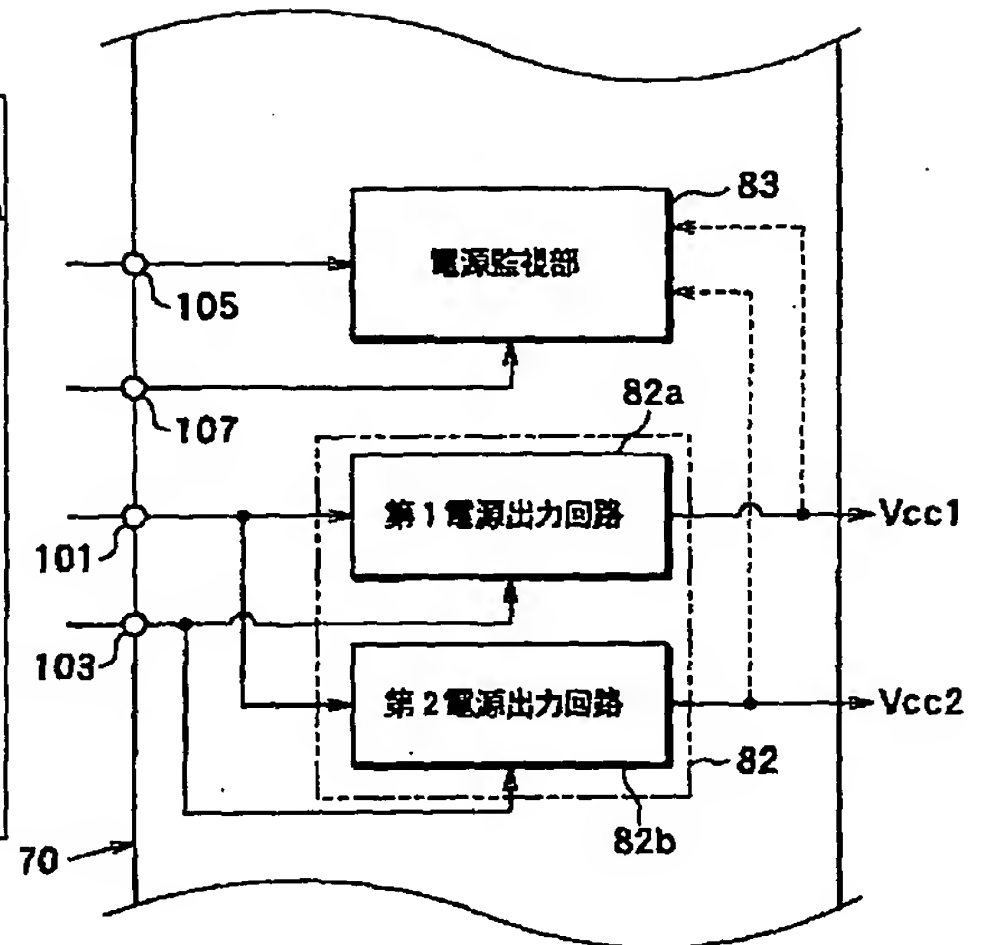
50…ABS制御用ECU、60…マイクロコンピュータ、70…周辺IC、82…電源出力回路、82a…第1電源出力回路、82b…第2電源出力回路、83…電源監視部。



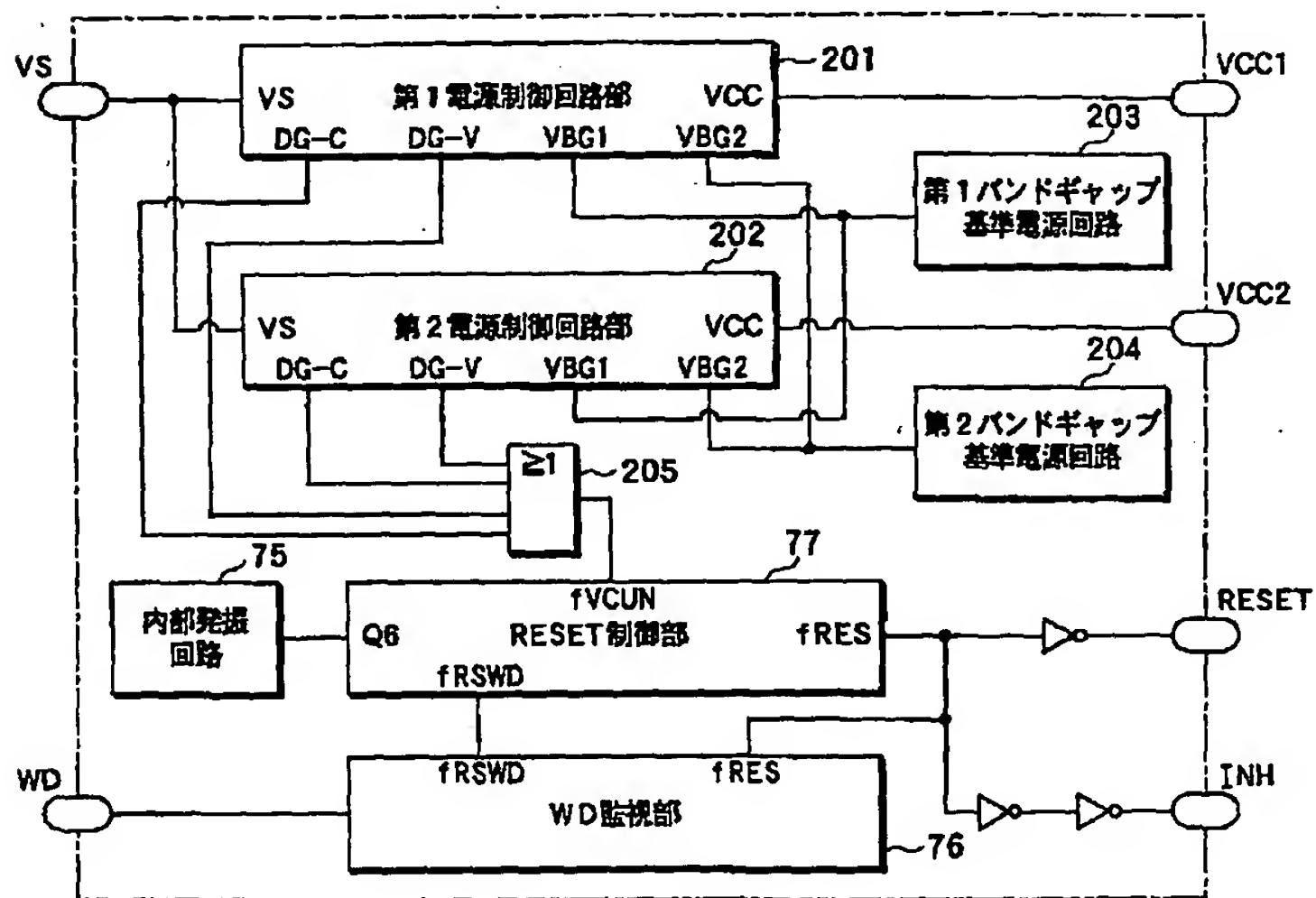
【図1】



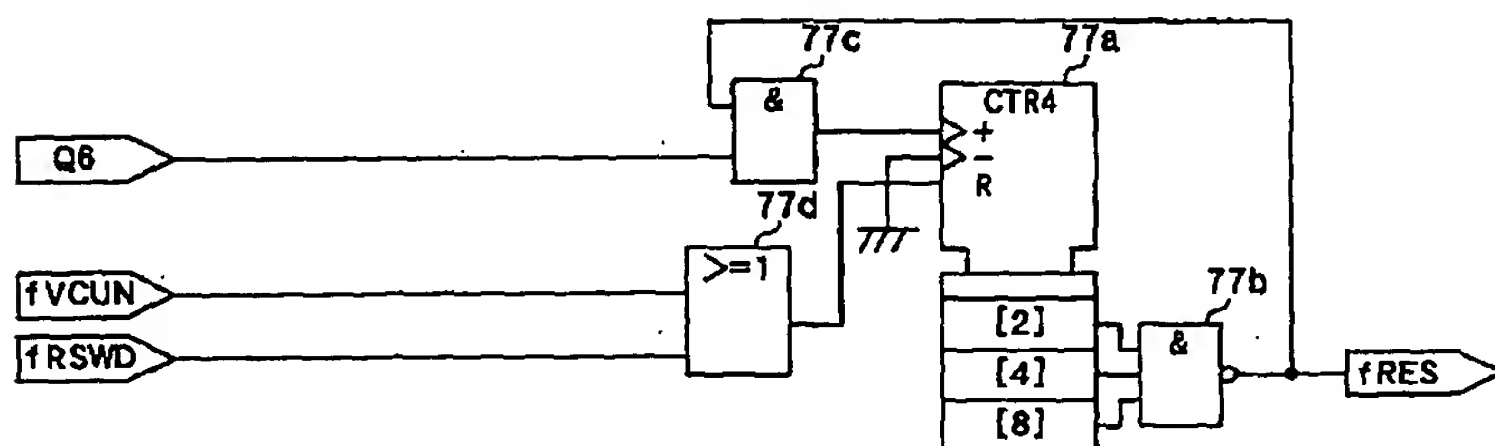
【図3】



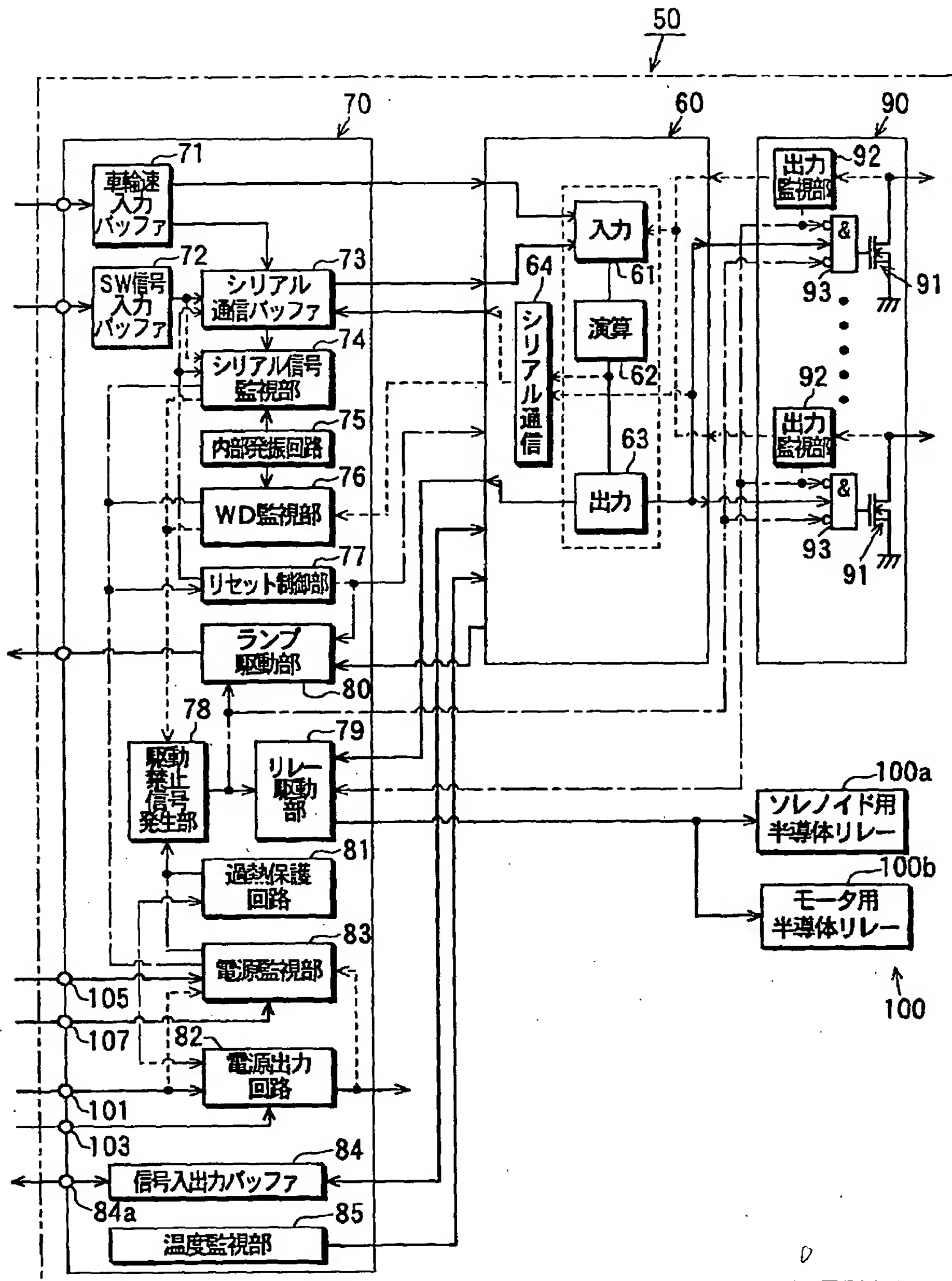
【図4】



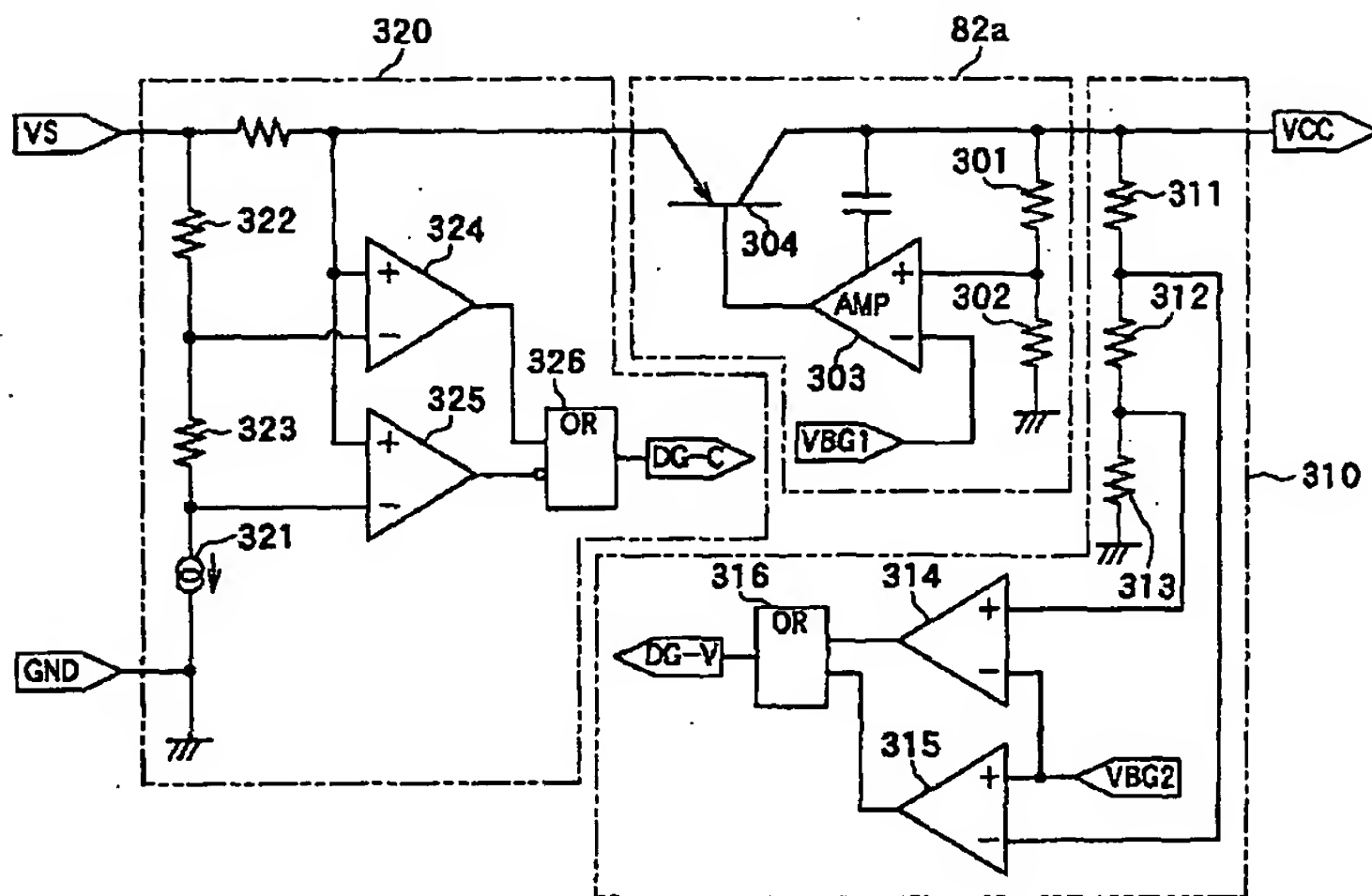
【図6】



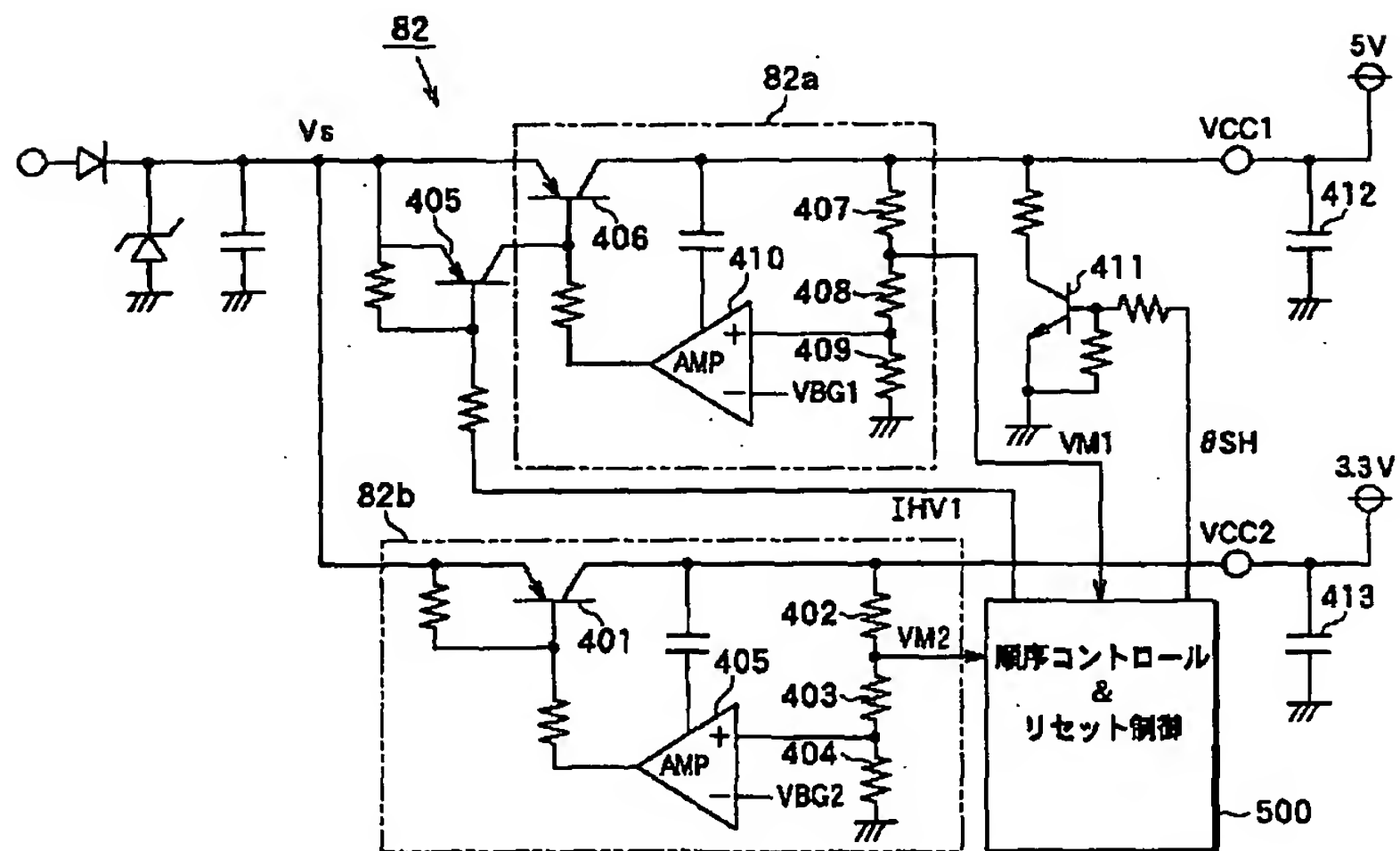
【図2】



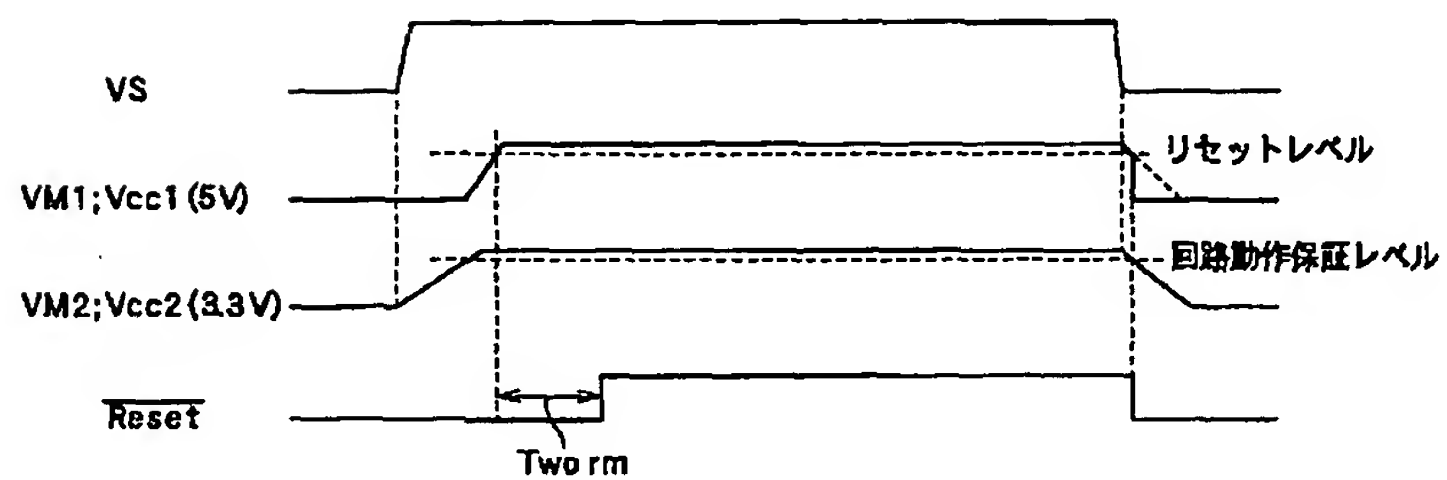
【図5】



【図7】

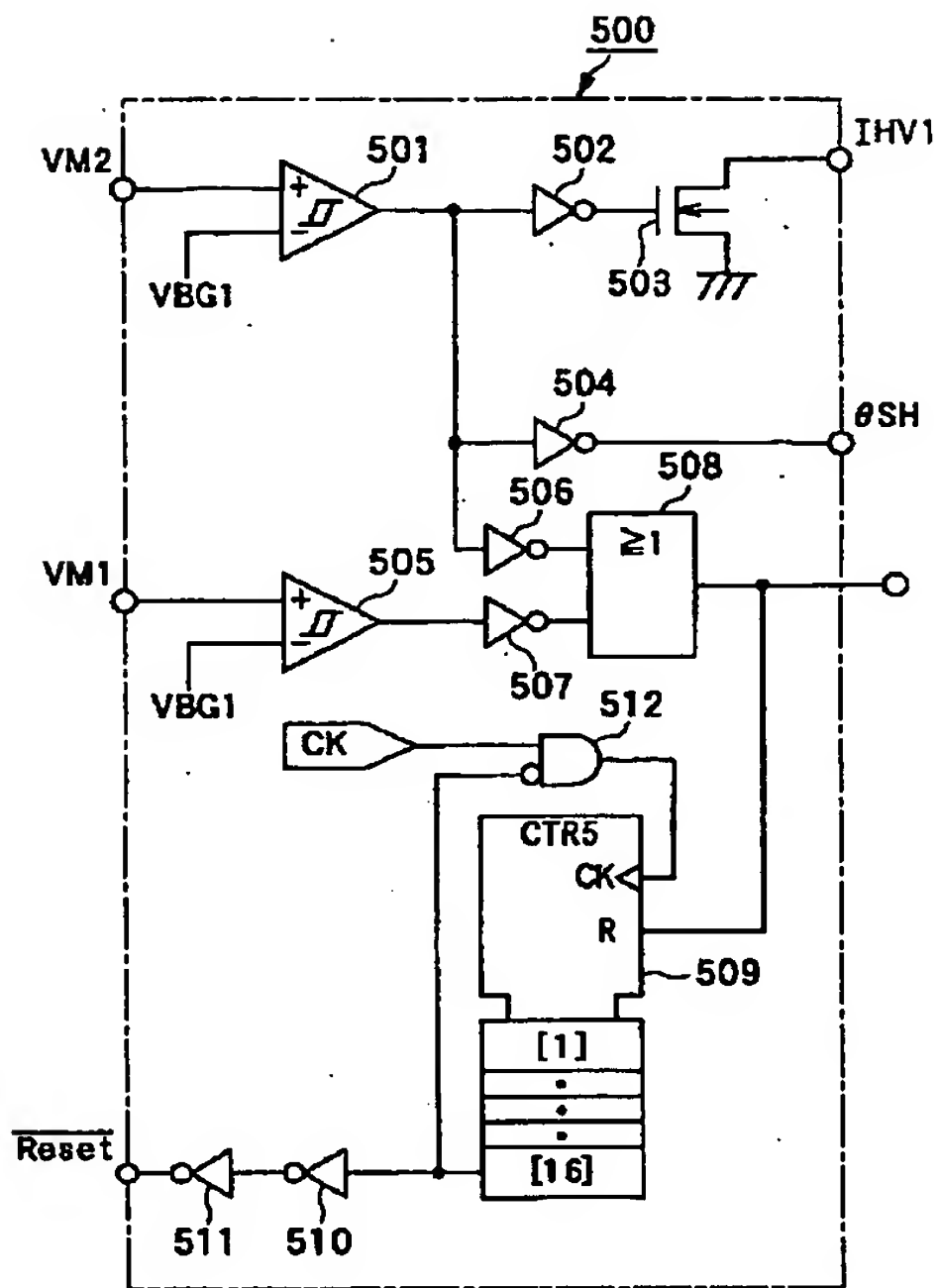


【図9】

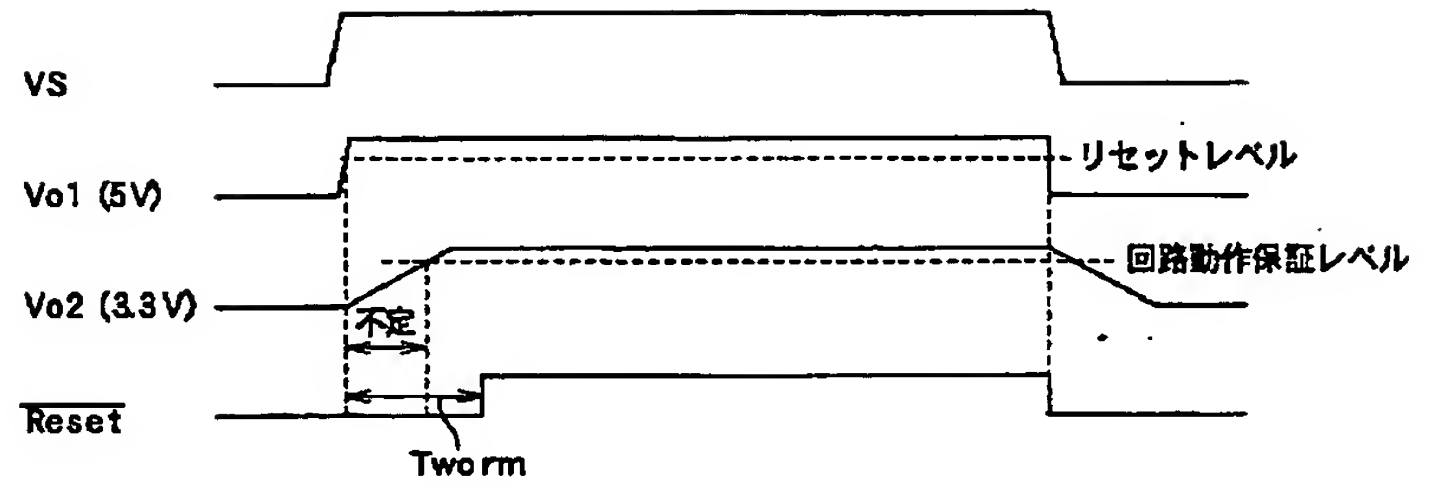




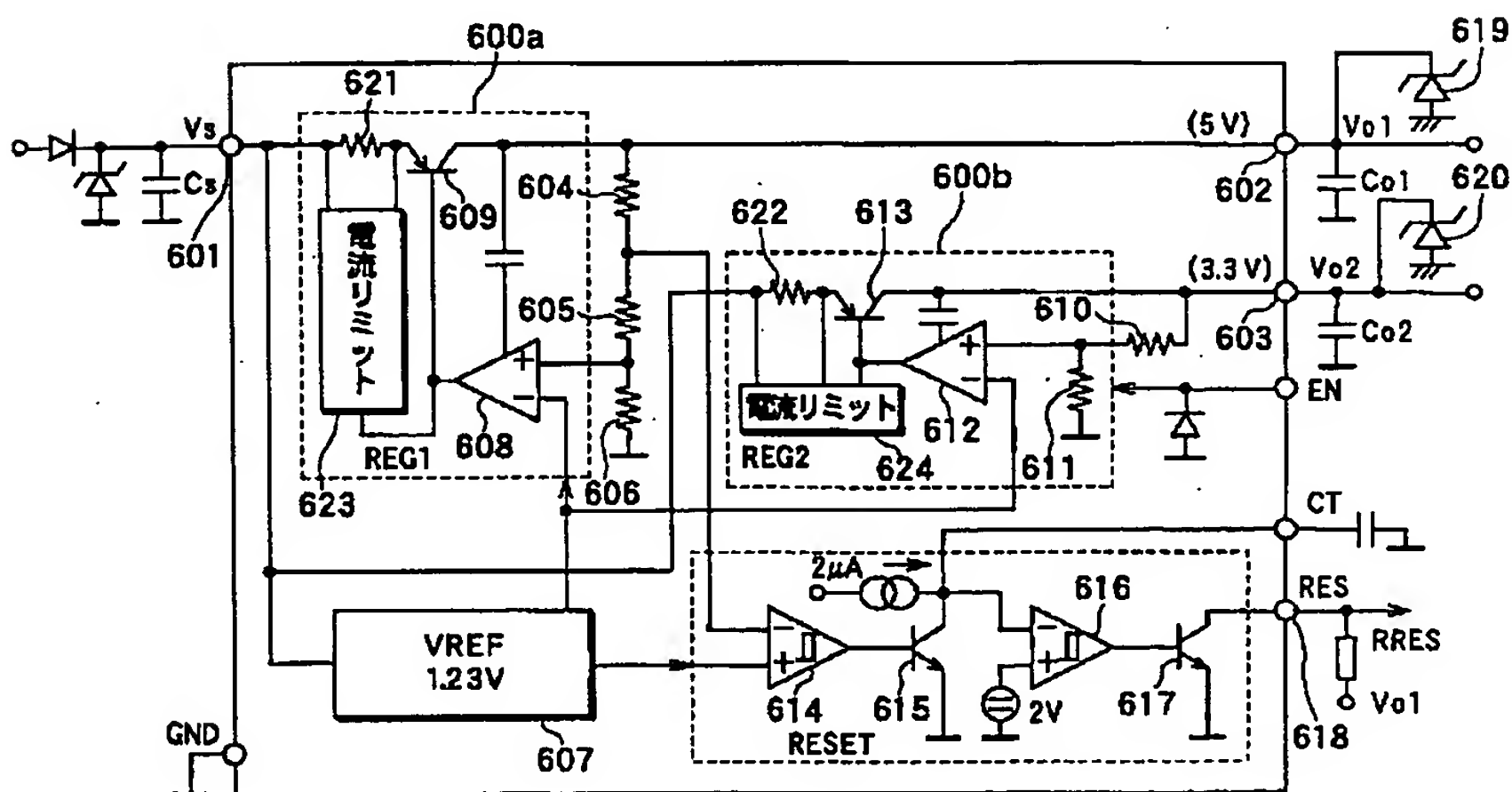
【図8】



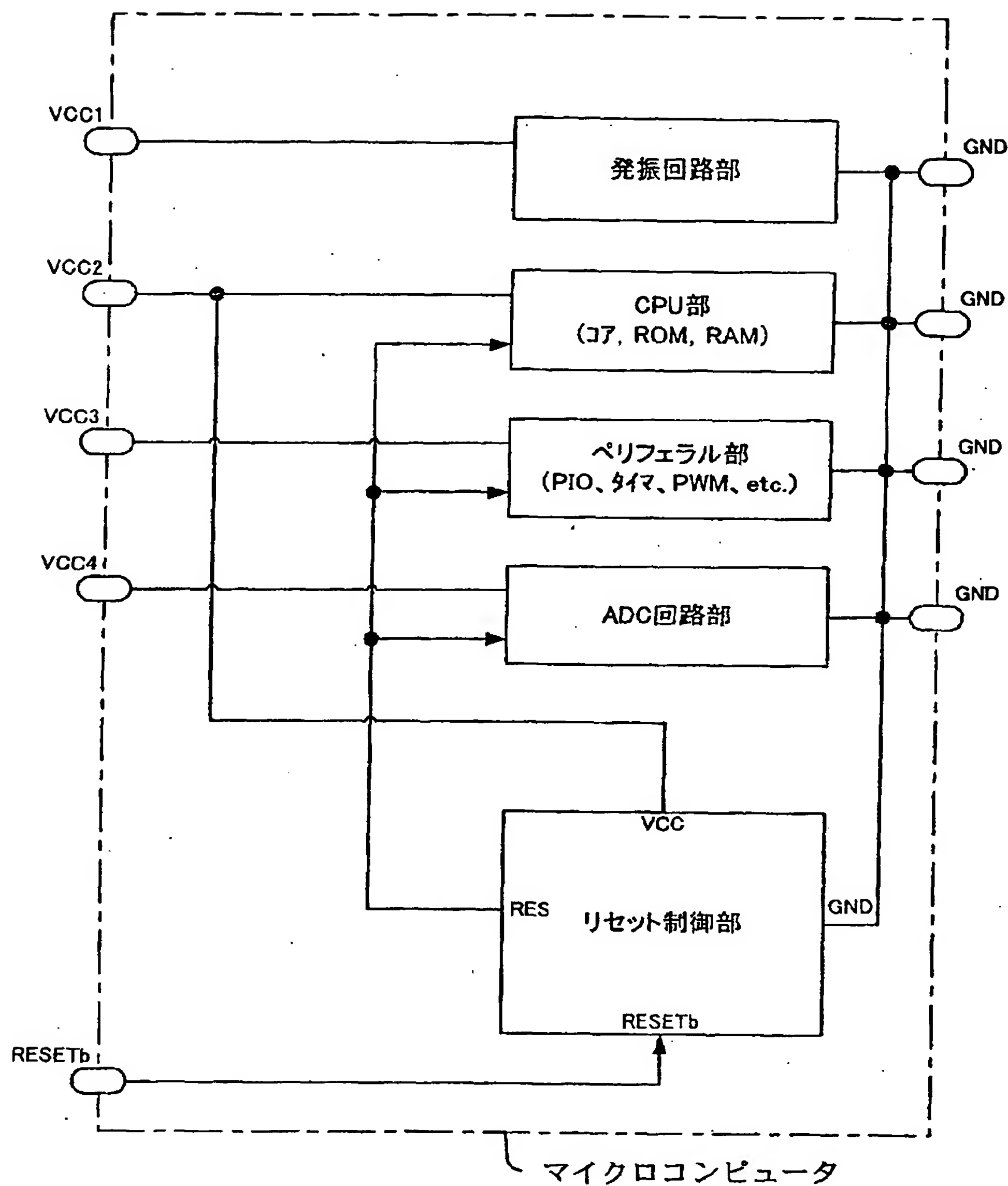
【図11】



【図10】



【図12】



フロントページの続き

Fターム(参考) 3D046 BB01 BB28 GG11 HH11 KK12  
 MM05 MM14  
 5H410 BB01 BB02 CC02 DD02 EB25  
 EB37 FF03 FF05 FF14 GG07  
 HH05 LL02 LL04 LL06 LL13  
 LL15 LL20